

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 09098569
PUBLICATION DATE : 08-04-97

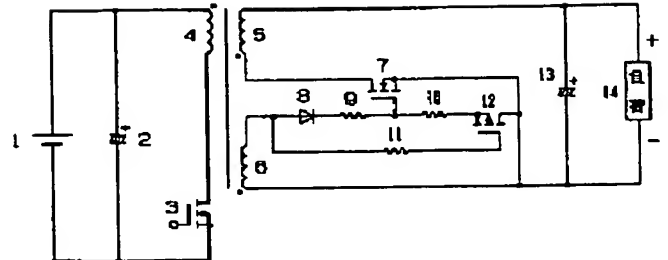
APPLICATION DATE : 03-10-95
APPLICATION NUMBER : 07279631

APPLICANT : SHINDENGEN ELECTRIC MFG CO
LTD;

INVENTOR : HATAKEYAMA HARUHIKO;

INT.CL. : H02M 3/28 H02M 3/335 H02M 7/21

TITLE : SYNCHRONOUS RECTIFIER CIRCUIT



ABSTRACT : PROBLEM TO BE SOLVED: To enhance the efficiency of power supply by reducing the loss due to charge and discharge through the input capacitance of an N channel MOSFET for synchronous rectification.

SOLUTION: The tertiary winding 6 of a transformer is connected with a diode 8 and only a positive voltage is applied to the gate of an N channel MOSFET 7 for synchronous rectification. Charges stored in the input capacitance C_{iss} of N channel MOSFET 7 for synchronous rectification are drawn out by a P channel MOSFET 12 connected between the gate and source of N channel MOSFET 7 for synchronous rectification when the polarity of voltage on the tertiary winding 6 of a transformer is inverted. Consequently, the loss due to charge and discharge through the input capacitance C_{iss} of N channel MOSFET for synchronous rectification is minimized.

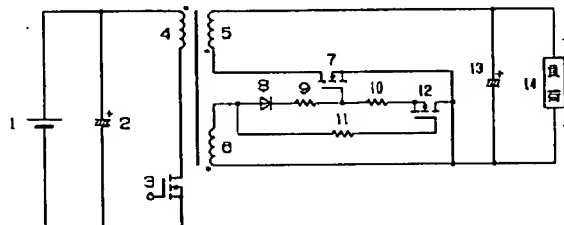
COPYRIGHT: (C)1997,JPO

(11)特許出願公開番号

(43)公開日 平成9年(1997)4月8日

審査請求 未請求 請求項の数2 FD (全 3 頁)

(54) 【発明の名称】 同期整流回路



1

【特許請求の範囲】

【請求項1】 スイッチング素子をオンオフさせ、変換用トランスの1次巻線を介して交流電圧を取り出す回路において、前記変換用トランスの2次巻線に第一のMOSFETを接続し、前記変換用トランスに設けた3次巻線により前記2次巻線と同期した信号をダイオードを介して前記MOSFETのゲート・ソース間に加えると共に、前記MOSFETのゲート・ソース間に抵抗と第2のMOSFETを直列に接続し、前記2次巻線と同期した信号を前記第二のMOSFETのゲート・ソース間に

10

加えるようにしたことを特徴とする同期整流回路。

【請求項2】 前記第一のMOSFETにNチャネルMOSFETを用い、前記第二のMOSFETにPチャネルMOSFETを使用した請求項1の同期整流回路。

【発明の詳細な説明】

【発明の属する分野】本発明は、電圧変換装置に用いる同期整流用MOSFETを最適制御するのに適した回路に関するものである。

【従来の技術】このような同期整流回路の一例としては、例えば特願平3-321524に於いて図2に示すような回路が提案されている。これは、整流素子としてNチャネルMOSFETを用い、そのオン、オフをトランスの3次巻線6で発生する電圧でおこなう事により、ショットキバリアダイオード等の整流ダイオードで整流回路を構成したものに比べて、導通損失が小さくなり、電源全体の効率を高めるようにしたものである。しかし、トランスの3次巻線の電圧は、図3(b)のように正負に変化し、オン時とオフ時の電圧差が大きく同期整流用NチャネルMOSFET7の入力容量Cissの充放電による損失が大きく、効率はあまり改善されなかった。

20

【発明の目的】本発明は、トランスの3次巻線電圧をダイオードで整流し、同期整流用NチャネルMOSFETのゲートに加わる電圧を正電圧のみにする事で、同期整流用NチャネルMOSFETの入力容量Cissの充放電による損失を減らし、電源の効率を高める事を目的とする。

【実施例】図1は、本発明の一実施例を示す回路図である。図3(a)は主スイッチ用NチャネルMOSFET3のゲート信号電圧波形である。始めに、主スイッチ用NチャネルMOSFET3がオフすると、トランスの3次巻線6の電圧は図3(b)のように正になる。トランスの3次巻線6で発生した電圧により電流がダイオード8と抵抗9を通り、同期整流用NチャネルMOSFET7の入力容量Cissを充電し、NチャネルMOSFET7をオンする。この時、NチャネルMOSFET7のドレイン・ソース間電圧は図3(d)の様に、ほぼ0Vに

2

なりトランスに蓄えられたエネルギーは、NチャネルMOSFET7を通して負荷へ流れる。NチャネルMOSFET7を流れる電流は図3(e)のようになる。次に、主スイッチ用NチャネルMOSFET3がオンすると、トランスの3次巻線6の電圧の極性が反転して図3(b)のように負の電圧になる。この為ダイオード8は逆バイアスされオフする。一方PチャネルMOSFET12はオンし、NチャネルMOSFET7の入力容量Cissに充電された電荷は抵抗10を通して引き抜かれ、NチャネルMOSFET7はオフする。NチャネルMOSFET7がオフすると直流電源1からのエネルギーはトランスに蓄えられ最初の状態へ戻る。前記の作用により、同期整流用NチャネルMOSFET7のゲート信号電圧は図3(c)のように正電圧だけになる。この為、NチャネルMOSFET7の入力容量Cissでの充放電による損失が正電圧がかかった時のみに抑えられる。

【効果の説明】このように、同期整流用NチャネルMOSFETの入力容量Cissの充放電による損失が少ないので、従来の方式の同期整流回路よりも電源の効率高い。従ってDC5Vなどの低電圧出力の電源に利用できる、産業上利用可能性大なるものである。

【図面の簡単な説明】

【図1】本発明の同期整流回路

【図2】従来の同期整流回路

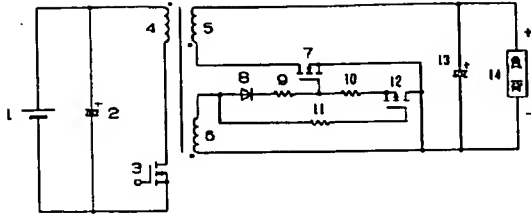
【図3】本発明回路の各部波形

【符号の説明】

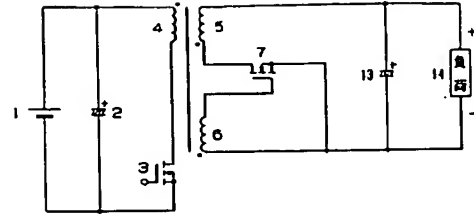
- 1 直流電源
- 2 入力コンデンサ
- 3 主スイッチ用NチャネルMOSFET
- 4 トランスの1次巻線
- 5 トランスの2次巻線
- 6 トランスの3次巻線
- 7 同期整流用NチャネルMOSFET
- 8 ダイオード
- 9、10、11 抵抗
- 12 PチャネルMOSFET
- 13 出力コンデンサ
- 14 負荷
- (a) 主スイッチ用NチャネルMOSFET3のゲート信号電圧
- (b) トランスの3次巻線6の電圧
- (c) 同期整流用NチャネルMOSFET7のゲート信号電圧
- (d) 同期整流用NチャネルMOSFET7のドレイン・ソース間電圧
- (e) 同期整流用NチャネルMOSFET7のドレイン電流

40

【図1】



【図2】



【図3】

(a) 主スイッチ用NチャネルMOSFET3の
ゲート信号電圧

(b) トランスの3次巻線6の電圧

(c) 同期整流用NチャネルMOSFET7の
ゲート信号電圧

(d) 同期整流用NチャネルMOSFET7の
ドレイン-ソース間電圧

(e) 同期整流用NチャネルMOSFET7の
ドレイン電流

